

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: **11003890 A**

(43)Date of publication of
application: **06. 01 . 99**

(51)Int. Cl **H01L 21/3205**
H01L 21/285
H01L 29/78

(21)Application number: **09154142**

(22)Date of filing: **11 . 06 . 97**

(71)Applicant: **HITACHI LTD**

(72)Inventor: **AOKI HIDEO**
FUKUDA NAOKI
SAITO TATSUYUKI

**(54)SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND ITS MANUFACTURE**

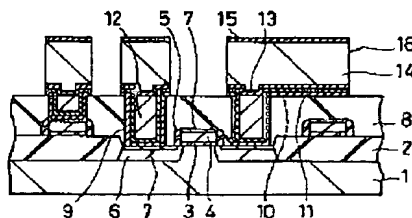
(57)Abstract:

PROBLEM TO BE SOLVED: To obtain high performance such as low wiring resistance, etc., and also high reliability, by a method wherein there is provided a wiring layer forming a titanium nitride film containing a specified weight in a lower portion of an aluminum alloy layer.

SOLUTION: After titanium nitride film 13 which is rich in titanium is formed on a semiconductor substrate 1, an aluminum alloy layer 14 is formed, and then a titanium nitride film 15 which is rich in titanium is formed. Thereafter, an unnecessary area of the titanium nitride film rich in titanium 15/the aluminum alloy layer 14/the titanium nitride film rich in titanium 13 is removed, and patterns of a wiring layer 16 of a three layer structure comprising the titanium nitride film rich in titanium 15/the aluminum alloy layer

14/the titanium nitride film rich in titanium 13 are formed. Note, the titanium films rich is titanium 13, 15 are titanium nitride films containing 70 to 95% of titanium.

COPYRIGHT: (C)1999,JPO



(11)特許出願公開番号

特開平11-3890

(43)公開日 平成11年(1999)1月6日

(51)Int.Cl. ⁶	識別記号	F I
H 0 1 L 21/3205		H 0 1 L 21/88 N
21/285	3 0 1	21/285 3 0 1 R
29/78		21/88 B
		R
		29/78 3 0 1 X
		審査請求 未請求 請求項の数9 O L (全 9 頁)

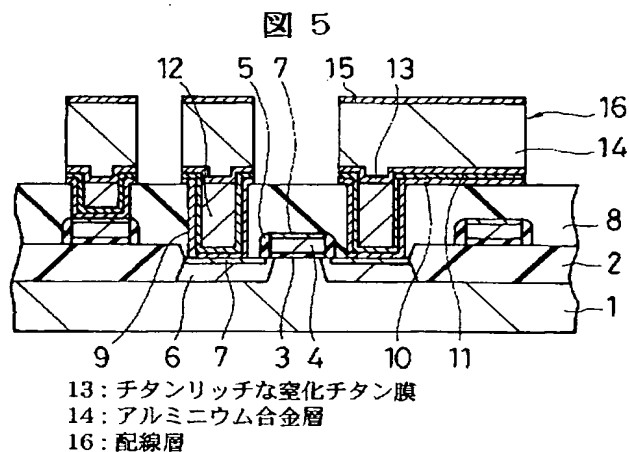
(21)出願番号	特願平9-154142	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成9年(1997)6月11日	(72)発明者	青木 英雄 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(72)発明者	福田 直樹 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(72)発明者	齋藤 達之 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74)代理人	弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 低配線抵抗などの高性能でしかも高信頼度のアルミニウム合金層を備えている配線層を有する半導体集積回路装置およびその製造方法を提供する。

【解決手段】 アルミニウム合金層１４の下部に、チタンが７０～９５％含まれているチタンリッチな窒化チタン膜１３が形成されている配線層１６を有するものである。



【特許請求の範囲】

【請求項1】 配線層として、アルミニウム合金層の下部に、チタンが70～95%含まれている窒化チタン膜が形成されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記配線層として、前記アルミニウム合金層の上部に、チタンが70～95%含まれている窒化チタン膜が形成されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、前記アルミニウム合金層は、5%以下のケイ素、銅、マグネシウム、ゲルマニウム、亜鉛、ガリウムの少なくとも一種の材料を含んでいるアルミニウム合金層であることを特徴とする半導体集積回路装置。

【請求項4】 請求項1～3のいずれか1項に記載の半導体集積回路装置であって、前記配線層の一部が、前記配線層の下層の絶縁膜に形成されている接続孔に埋め込まれていることを特徴とする半導体集積回路装置。

【請求項5】 半導体素子が形成されている基板の上に、チタンが70～95%含まれている窒化チタン膜を形成した後に、アルミニウム合金層を形成することにより、チタンが70～95%含まれている前記窒化チタン膜と前記アルミニウム合金層とからなる配線層を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項5記載の半導体集積回路装置の製造方法であって、前記アルミニウム合金層の上に、チタンが70～95%含まれている窒化チタン膜を形成することにより、チタンが70～95%含まれている前記窒化チタン膜と前記アルミニウム合金層とチタンが70～95%含まれている前記窒化チタン膜とからなる配線層を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項5または6記載の半導体集積回路装置の製造方法であって、前記アルミニウム合金層は、5%以下のケイ素、銅、マグネシウム、ゲルマニウム、亜鉛、ガリウムの少なくとも一種の材料を含んでいるアルミニウム合金層を使用していることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項5～7のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記窒化チタン膜を形成する際に、反応性スパッタリング法またはCVD法を使用していることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項5～8のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記アルミニウム合金層および前記窒化チタン膜は、同一真空系内で形成されていることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、高性能でしかも高信頼度のアルミニウム合金層を備えている配線層を有する半導体集積回路装置に適用して有効な半導体集積回路装置およびその製造方法に関するものである。

【0002】

【従来の技術】本発明者は、半導体集積回路装置の製造方法、特に配線形成技術について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

【0003】すなわち、半導体集積回路装置の製造方法において、例えばMOSFET (Metal Oxide Semiconductor Field Effect Transistor) が形成されている半導体基板の上に酸化シリコン膜を形成し、それにコンタクトホールを形成して、そのコンタクトホールにプラグを埋め込んだ後に、プラグと電氣的に接続するための配線層を形成している。

【0004】この場合、配線層の製造工程は、チタン (Ti) 膜の上にアルミニウム合金層を形成し、その上にチタン膜とチタンが50%含まれている窒化チタン (TiN) 膜を形成した4層構造の配線層が使用されているものがある。

【0005】なお、半導体集積回路装置における配線層の形成技術について記載されている文献としては、例えば平成元年11月2日、(株)プレスジャーナル発行の「'90最新半導体プロセス技術」p267～p273に記載されているものがある。

【0006】

【発明が解決しようとする課題】ところが、前述した配線層を有する半導体集積回路装置において、アルミニウム合金層の下層膜にチタン膜を用いているため、その後の層間絶縁膜の製造工程などの熱処理 (400～450℃) 時に、アルミニウム合金層とチタン膜との反応が発生し、アルミニウム合金層の抵抗が上昇 (本発明者の検討の結果、前記熱処理の条件として温度が400℃で30分間の熱処理の際に、20%程度の上昇) し、配線抵抗が上昇してしまうという問題点が発生している。

【0007】この場合、チタン膜の上に成膜するアルミニウム合金層は、配向性 (結晶の方向性が均一化する性質) がよくなることにより、配線信頼度 (EM) が向上するという利点がある。そのため、アルミニウム合金層の下層膜として、チタン膜を成膜しないことは、十分な対策にはならない。

【0008】また、配線抵抗の上昇を比較的少なくするために、チタン膜を薄膜化する方法が考えられるが、10nm以下の膜厚では、膜厚や均一性を制御することが困難となる。

【0009】したがって、多層化を行い、ゲート電極の

パターンが $0.25\mu\text{m}$ 以下の半導体集積回路装置では、1層目の配線層などの下層の配線層の抵抗上昇分を考慮したアルミニウム合金層の膜厚が必要となることにより、配線加工が困難となる。また、微細化と共に配線層間のスペース部の距離が小さくなることにより、その領域に完全に埋め込まれた状態の絶縁膜を形成することが困難になってしまうという問題点がある。

【0010】本発明の目的は、低配線抵抗などの高性能でしかも高信頼度のアルミニウム合金層を備えている配線層を有する半導体集積回路装置およびその製造方法を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】すなわち、本発明の半導体集積回路装置は、アルミニウム合金層の下部に、チタンが70～95%含まれている窒化チタン膜が形成されている配線層を有するものである。

【0014】また、本発明の半導体集積回路装置の製造方法は、半導体素子が形成されている半導体基板などの基板の上に、チタンが70～95%含まれている窒化チタン膜を形成した後に、アルミニウム合金層を形成することにより、チタンが70～95%含まれている窒化チタン膜とアルミニウム合金層とからなる配線層を形成する工程を有するものである。

【0015】なお、以下の説明において、%は重量%(wt%)を意味している。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0017】(実施の形態1)図1～図7は、本発明の実施の形態1である半導体集積回路装置の製造工程を示す概略断面図である。同図を用いて、本実施の形態の半導体集積回路装置およびその製造方法を具体的に説明する。

【0018】まず、図1に示すように、例えばp型のシリコン単結晶などからなる半導体基板(基板)1の表面の選択的な領域である素子分離領域に熱酸化処理を用いて酸化シリコン膜からなるフィールド絶縁膜2を形成する。

【0019】次に、半導体基板1の上に、例えば酸化シリコンからなるゲート絶縁膜3を形成し、このゲート絶縁膜3の上に導電性の多結晶シリコン膜を形成した後、フォトリソグラフィ技術と選択エッチング技術とを使用

して、多結晶シリコン膜をパターン化してゲート電極4を形成すると共にパターン化したゲート絶縁膜3を形成する。

【0020】その後、ゲート電極4の側壁に例えば酸化シリコンからなるサイドウォールスペーサ5を形成する。その後、半導体基板1に例えばリンなどのn型の不純物をイオン注入してソースおよびドレインとなるn型の半導体領域6を形成する。次に、半導体基板1の上にチタン膜を堆積した後、熱処理を行って、チタン膜と接触しているシリコン領域にチタンシリサイド膜を形成した後、ドライエッチングなどの選択エッチング技術を使用して、チタンシリサイド膜化していないチタン膜を取り除いて、チタンシリサイド膜からなるコンタクト領域7をゲート電極4およびソース/ドレインとなるn型の半導体領域6の表層部に形成する。この場合、フィールド絶縁膜2の上のゲート電極4は、配線層として使用されているものである。また、前述した半導体集積回路装置の製造工程は、半導体基板1に半導体素子としてnチャネルMOSFETを形成した態様であるが、半導体基板1にnチャネルMOSFET以外のpチャネルMOSFET、CMOSFET、バイポーラトランジスタ、容量素子などの種々の半導体素子を形成した態様を採用することができる。

【0021】次に、半導体基板1の上に絶縁膜8を形成した後、その絶縁膜8にスルーホール(接続孔)9を形成する(図2)。

【0022】この場合、絶縁膜8を3層構造の絶縁膜8として形成している。すなわち、半導体基板1の上に、プラズマCVD(Chemical Vapor Deposition)法を使用して、TEOS(テトラエトキシシラン)と酸素の反応によって、酸化シリコン膜を200nm程度の膜厚をもって形成した後、回転塗布法を使用して、SOG(Spin On Glass)膜を300nm程度の膜厚をもって形成し、その後、プラズマCVD法を使用して、TEOSと酸素の反応によって、酸化シリコン膜を1500nm程度の膜厚をもって形成している。

【0023】次に、CMP(Chemical Mechanical Polishing、化学的機械研磨)法を使用して、絶縁膜を研磨(表面部の酸化シリコン膜の1200nm程度の研磨)することによって、その表面を平坦化処理して平坦な表面を有する絶縁膜8とする。その後、フォトリソグラフィ技術と選択エッチング技術とを使用して、絶縁膜8にスルーホール9を形成する。

【0024】その後、そのスルーホール9にプラグ12を形成する(図3)。この場合、半導体基板1の上に、チタン膜10を10nm程度の膜厚をもって形成した後、チタンが50%含まれている窒化チタン膜(従来技術においても一般に使用されている窒化チタン膜)11を50nm程度の膜厚をもって形成する。次に、CVD法を使用してタングステン膜を300nm程度の膜厚をもって形

成した後、エッチバック法を使用して、スルーホール9以外のタングステン膜を取り除いて、スルーホール9に埋め込まれているタングステン膜からなるプラグ12を形成する。

【0025】次に、半導体基板1の上に、チタンリッチな窒化チタン膜13とアルミニウム合金層14とチタンリッチな窒化チタン膜15からなる3層構造の配線層（1層目の配線層）16を形成する（図4）。この場合、チタンリッチな窒化チタン膜13は、本明細書でのみ使用している特有な用語であり、本発明者の検討の結果、チタンが70～95%含まれている窒化チタン膜（窒化チタン膜におけるチタンと窒素との比が70%：30%から95%：5%となっている窒化チタン膜）に対応しているものであり、窒化チタン膜に含まれているチタンが70～90%であることにより、チタンリッチな窒化チタン膜と称しているものである。

【0026】また、アルミニウム合金層14は、ケイ素（Si）、銅（Cu）、マグネシウム（Mg）、ゲルマニウム（Ge）、亜鉛（Zn）、ガリウム（Ga）の少なくとも一種の材料を5%以下含んでいるアルミニウム合金層である。

【0027】具体的な配線層16の製造方法としては、半導体基板1の上に、反応性スパッタリング法またはCVD法を使用して、チタンリッチな窒化チタン膜（例えばチタンが70%含まれている窒化チタン膜）13を10nm程度の膜厚をもって形成した後、例えば反応性スパッタリング装置などの同一真空系内で、アルミニウム合金層（例えば銅が0.5%含まれているアルミニウム合金層）14を形成し、その後、例えば反応性スパッタリング装置などの同一真空系内で、チタンリッチな窒化チタン膜（例えばチタンが70%含まれている窒化チタン膜）15を10nm程度の膜厚をもって形成する。

【0028】この場合、チタンリッチな窒化チタン膜13、15を形成する際に、アルゴンガスと窒素ガスとの混合ガス雰囲気での反応性スパッタリング法を用いている反応性スパッタリング装置を使用している。そして、チタンリッチな窒化チタン膜（例えばチタンが70%含まれている窒化チタン膜）13、15における窒化の割合の制御は、アルゴンガスと窒素ガスとの比を変えることによって行うことができる。本実施の形態のチタンリッチな窒化チタン膜（例えばチタンが70%含まれている窒化チタン膜）13、15を形成する際には、例えば成膜温度を300℃とし、成膜圧力を3mTorr（ミリトル）とし、成膜パワーを4kWとし、窒素ガスとアルゴンガスとの混合比を40%：60%としている。

【0029】その後、フォトリソグラフィ技術と選択エッチング技術とを使用して、チタンリッチな窒化チタン膜15／アルミニウム合金層14／チタンリッチな窒化チタン膜13の不要な領域を取り除いて、チタンリッチな窒化チタン膜15／アルミニウム合金層14／チタン

リッチな窒化チタン膜13からなる3層構造の配線層（1層目の配線層）16のパターンを形成する（図5）。

【0030】次に、半導体基板1の上に、層間絶縁膜としての絶縁膜17を形成した後、その絶縁膜17にスルーホール18を形成する（図6）。この場合、絶縁膜17の製造工程は、前述した絶縁膜8の製造工程と同様な製造工程を使用して行っている。また、スルーホール18の製造工程は、前述したスルーホール9の製造工程と同様な製造工程を使用して行っている。

【0031】次に、スルーホール18に、チタン膜19、チタンが50%含まれている窒化チタン膜20およびタングステン膜からなるプラグ21を、前述したスルーホール9に、チタン膜10、チタンが50%含まれている窒化チタン膜11およびタングステン膜からなるプラグ12を形成する製造工程と同様な製造工程を使用して形成する。その後、半導体基板1の上に2層目の配線層としての配線層25を形成する（図7）。

【0032】配線層25は、チタンリッチな窒化チタン膜22とアルミニウム合金層23とチタンリッチな窒化チタン膜24からなる3層構造の配線層（2層目の配線層）であり、前述したチタンリッチな窒化チタン膜13とアルミニウム合金層14とチタンリッチな窒化チタン膜15からなる3層構造の配線層（1層目の配線層）16の製造工程と同様な製造工程を使用して行っている。

【0033】その後、設計仕様に応じて、前述した製造工程（層間絶縁膜としての絶縁膜17、スルーホール18、チタン膜19、チタンが50%含まれている窒化チタン膜20、タングステン膜からなるプラグ21、2層目の配線層としての配線層25の製造工程）を繰り返して、多層配線層を形成することによって、本実施の形態の半導体集積回路装置の製造工程を終了する。

【0034】前述した本実施の形態の半導体集積回路装置によれば、1層目の配線層16として、チタンリッチな窒化チタン膜13とアルミニウム合金層14とチタンリッチな窒化チタン膜15からなる3層構造の配線層としているなど、配線層として、チタンリッチな窒化チタン膜／アルミニウム合金層／チタンリッチな窒化チタン膜という3層構造の配線層としていることにより、その後の層間絶縁膜としての絶縁膜17の製造工程などの熱処理時に、アルミニウム合金層14とチタンリッチな窒化チタン膜13、15におけるチタンとの反応が防止できるので、アルミニウム合金層14の抵抗が上昇することが防止できる。その結果、配線層16の配線抵抗が上昇することが防止できることにより、低抵抗の配線抵抗を有する配線層16とすることができる。

【0035】この場合、本発明者の検討の結果、チタンリッチな窒化チタン膜13、15は、チタンが70～95%含まれている窒化チタン膜（窒化チタン膜におけるチタンと窒素との比が70%：30%から95%：5%

となっている窒化チタン膜)である。また、アルミニウム合金層14は、ケイ素、銅、マグネシウム、ゲルマニウム、亜鉛、ガリウムの少なくとも一種の材料を5%以下含んでいるアルミニウム合金層である。

【0036】本実施の形態の半導体集積回路装置によれば、1層目の配線層16として、チタンリッチな窒化チタン膜13とアルミニウム合金層14とチタンリッチな窒化チタン膜15からなる3層構造の配線層としているなど、配線層として、チタンリッチな窒化チタン膜/アルミニウム合金層/チタンリッチな窒化チタン膜という3層構造の配線層としていることにより、チタンリッチな窒化チタン膜13の上に成膜するアルミニウム合金層14は、配向性(結晶の方向性が均一化する性質)がよくなることにより、配線信頼度が向上し、高信頼度の配線層16とすることができる。

【0037】また、アルミニウム合金層14とチタンリッチな窒化チタン膜13、15におけるチタンとの反応が防止できるので、アルミニウム合金層14の抵抗が上昇することが防止できると共にアルミニウム合金層14の配向性がよくなり、配線信頼度が向上できることにより、配線層16の微細加工化ができると共に高性能でしかも高信頼度の配線層16とすることができる。

【0038】本実施の形態の半導体集積回路装置の製造方法によれば、反応性スパッタリング法またはCVD法を使用して、チタンリッチな窒化チタン膜13を形成した後、例えば反応性スパッタリング装置などの同一真空系内で、アルミニウム合金層14を形成し、その後、例えば反応性スパッタリング装置などの同一真空系内で、チタンリッチな窒化チタン膜15を形成していることにより、高性能でしかも高信頼度の配線層16を簡単な製造工程により製造できる。

【0039】(実施の形態2)図8は、本発明の実施の形態2である半導体集積回路装置を示す概略断面図である。

【0040】本実施の形態の半導体集積回路装置は、前述した実施の形態1の半導体集積回路装置における配線層16の上部のチタンリッチな窒化チタン膜15の代替え膜として、従来技術に使用されているチタン膜とチタンが50%含まれている窒化チタン膜とからなる2層構造の薄膜26を適用しているものである。また、前述した実施の形態1の半導体集積回路装置における配線層23の上部のチタンリッチな窒化チタン膜24の代替え膜として、従来技術に使用されているチタン膜とチタンが50%含まれている窒化チタン膜とからなる2層構造の薄膜27を適用しているものである。

【0041】この場合、薄膜26、27は、チタン膜を10nm程度の膜厚をもって形成した後、チタンが50%含まれている窒化チタン膜を75nm程度の膜厚をもって形成した2層構造の薄膜である。

【0042】本実施の形態の半導体集積回路装置によれ

ば、アルミニウム合金層14(23)の下層膜としてチタンリッチな窒化チタン膜13(22)を使用していることにより、その後の層間絶縁膜としての絶縁膜17の製造工程などの熱処理時に、アルミニウム合金層14(23)とチタンリッチな窒化チタン膜13(22)におけるチタンとの反応が防止できるので、アルミニウム合金層14(23)とその上層膜としての薄膜26(27)におけるチタンとの反応が発生してアルミニウム合金層14(23)の抵抗が大きくなっても、アルミニウム合金層14(23)の抵抗が上昇することを従来よりも低減できる。

【0043】(実施の形態3)図9は、本発明の実施の形態3である半導体集積回路装置を示す概略断面図である。

【0044】本実施の形態の半導体集積回路装置は、前述した実施の形態1の半導体集積回路装置における配線層16の形成の際に、スルーホール9にも配線層16を埋め込んでいるものである。この場合、前述した実施の形態1の半導体集積回路装置におけるスルーホール9に埋め込まれている窒化チタン膜(チタンが50%含まれている窒化チタン膜)11とタングステン膜からなるプラグ12の製造工程を省略して、スルーホール9を形成した後、チタン膜10を形成した後、配線層16を形成すると同時にスルーホール9にも配線層16を埋め込んだ状態で形成している。

【0045】また、前述した実施の形態1の半導体集積回路装置における配線層25の形成の際に、スルーホール18にも配線層25を埋め込んでいるものである。

【0046】前述した配線層16(25)におけるアルミニウム合金層14(23)を形成する際に、アルミニウム合金層14(23)をスルーホール9(18)に完全に埋め込むために、アニール処理を行って、アルミニウム合金層14(23)をリフロー化する製造工程を行っている。また、スルーホール9(23)のアスペクト比が大きい場合には、下地膜(ウエットエッチングレイヤー)としてのチタン膜10(19)を形成している。

【0047】本実施の形態の半導体集積回路装置によれば、配線層16(25)を形成する際に、配線層16(25)をスルーホール9(18)に埋め込んで、その領域のプラグを形成していることにより、プラグの製造工程を簡単にすることができる。

【0048】また、下地膜としてのチタン膜10(19)が形成されていても、配線層16(25)の下部にチタンリッチな窒化チタン膜13(22)を形成していることにより、アルミニウム合金層14(23)とチタン膜10(19)におけるチタンとの反応が防止できるので、アルミニウム合金層14(23)のリフロー性を維持したまま、アルミニウム合金層14(23)の抵抗が上昇するのを防止することができる。その結果、配線層16(25)の配線抵抗が上昇するのを防止すること

ができることにより、低抵抗の配線抵抗を有する配線層16(25)とすることができる。

【0049】(実施の形態4)図10は、本発明の実施の形態4である半導体集積回路装置を示す概略断面図である。

【0050】本実施の形態の半導体集積回路装置は、前述した実施の形態3の半導体集積回路装置におけるチタン膜10(19)を省略した態様のものである。

【0051】本実施の形態の半導体集積回路装置によれば、配線層16(25)の下部に低抵抗のチタン膜10(19)を設けていないことにより、コンタクト抵抗が大きくなる場合があるが、チタンリッチな窒化チタン膜13(22)のチタンが80%以上含まれている窒化チタン膜とすることにより、コンタクト抵抗を低減することができる。特に、コンタクト抵抗を低減するために、チタンリッチな窒化チタン膜13(22)のチタンが80%以上含まれている窒化チタン膜とすることにより、シリコン基板などからなる半導体基板(チタンシリサイド膜からなるコンタクト領域7を設けていない半導体基板)1とのコンタクト抵抗を低減することができる。

【0052】(実施の形態5)図11は、本発明の実施の形態5である半導体集積回路装置を示す概略断面図である。

【0053】本実施の形態の半導体集積回路装置は、前述した実施の形態1におけるプラグ12(21)を形成する際に、CVD法を使用してタングステン膜を300nm程度の膜厚をもって形成した後、CMP法を使用して、スルーホール9(18)以外のタングステン膜を取り除いて、スルーホール9(18)に埋め込まれているタングステン膜からなるプラグ12(21)を形成しているものである。

【0054】したがって、本実施の形態の半導体集積回路装置によれば、CMP法を使用して、スルーホール9(18)以外のタングステン膜を取り除くための研磨の際に、タングステン膜の下部のチタンが50%含まれている窒化チタン膜11(20)とチタン膜10(19)も研磨することができるので、スルーホール9(18)に埋め込まれているタングステン膜からなるプラグ12(21)の表面を絶縁膜8(17)の表面と同一平面にすることができると共に配線層16(25)の下層膜であるチタンリッチな窒化チタン膜13(22)を絶縁膜8(17)と直接接触する構造とすることができる。その結果、配線層16(25)の平坦化が向上できるので微細加工化ができる。

【0055】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0056】例えば、本発明は、半導体素子を形成して

いる半導体基板をSOI(Silicon Insulator)基板などの種々の基板に変更することができ、半導体基板などの基板に形成する半導体素子としては、MOSFET以外に、CMOSFETおよびバイポーラトランジスタなどの種々の半導体素子を組み合わせた態様の半導体素子を適用できる。

【0057】また、本発明は、MOSFET、CMOSFETなどを構成要素とするロジック系あるいはDRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)などのメモリ系などを有する種々の半導体集積回路装置およびその製造方法に適用できる。

【0058】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0059】(1)．本発明の半導体集積回路装置によれば、配線層として、チタンリッチな窒化チタン膜/アルミニウム合金層/チタンリッチな窒化チタン膜という3層構造の配線層としていることにより、その後の層間絶縁膜としての絶縁膜の製造工程などの熱処理時に、アルミニウム合金層とチタンリッチな窒化チタン膜におけるチタンとの反応が防止できるので、アルミニウム合金層の抵抗が上昇することが防止できる。その結果、配線層の配線抵抗が上昇することが防止できることにより、低抵抗の配線抵抗を有する配線層とすることができる。

【0060】この場合、本発明者の検討の結果、チタンリッチな窒化チタン膜は、チタンが70~95%含まれている窒化チタン膜(窒化チタン膜におけるチタンと窒素との比が70%:30%から95%:5%となっている窒化チタン膜)である。また、アルミニウム合金層は、5%以下のケイ素、銅、マグネシウム、ゲルマニウム、亜鉛、ガリウムの少なくとも一種の材料を含んでいるアルミニウム合金層である。

【0061】(2)．本発明の半導体集積回路装置によれば、配線層として、チタンリッチな窒化チタン膜/アルミニウム合金層/チタンリッチな窒化チタン膜という3層構造の配線層としていることにより、チタンリッチな窒化チタン膜の上に成膜するアルミニウム合金層は、配向性がよくなることにより、配線信頼度が向上し、高信頼度の配線層とすることができる。

【0062】また、アルミニウム合金層とチタンリッチな窒化チタン膜におけるチタンとの反応が防止できるので、アルミニウム合金層の抵抗が上昇するのを防止できると共にアルミニウム合金層の配向性がよくなり、配線信頼度が向上できることにより、配線層の微細加工化ができることと共に高性能でしかも高信頼度の配線層とすることができる。

【0063】(3)．本発明の半導体集積回路装置の製造方法によれば、反応性スパッタリング法またはCVD

法を使用して、チタンリッチな窒化チタン膜を形成した後、例えば反応性スパッタリング装置などの同一真空系内で、アルミニウム合金層を形成し、その後、例えば反応性スパッタリング装置などの同一真空系内で、チタンリッチな窒化チタン膜を形成していることにより、高性能でしかも高信頼度の配線層を簡単な製造工程により製造できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置の製造工程を示す概略断面図である。

【図2】本発明の実施の形態1である半導体集積回路装置の製造工程を示す概略断面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造工程を示す概略断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造工程を示す概略断面図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造工程を示す概略断面図である。

【図6】本発明の実施の形態1である半導体集積回路装置の製造工程を示す概略断面図である。

【図7】本発明の実施の形態1である半導体集積回路装置の製造工程を示す概略断面図である。

【図8】本発明の実施の形態2である半導体集積回路装置を示す概略断面図である。

【図9】本発明の実施の形態3である半導体集積回路装置を示す概略断面図である。

【図10】本発明の実施の形態4である半導体集積回路装置を示す概略断面図である。

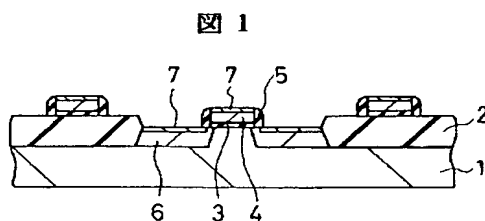
【図11】本発明の実施の形態5である半導体集積回路

装置を示す概略断面図である。

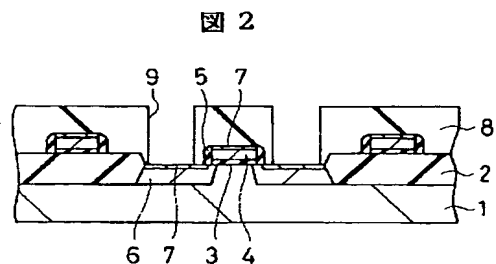
【符号の説明】

- 1 半導体基板（基板）
- 2 フィールド絶縁膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 サイドウォールスペーサ
- 6 半導体領域
- 7 コンタクト領域
- 8 絶縁膜
- 9 スルーホール
- 10 チタン膜
- 11 チタンが50%含まれている窒化チタン膜
- 12 プラグ
- 13 チタンリッチな窒化チタン膜
- 14 アルミニウム合金層
- 15 チタンリッチな窒化チタン膜
- 16 配線層
- 17 絶縁膜
- 18 スルーホール
- 19 チタン膜
- 20 チタンが50%含まれている窒化チタン膜
- 21 プラグ
- 22 チタンリッチな窒化チタン膜
- 23 アルミニウム合金層
- 24 チタンリッチな窒化チタン膜
- 25 配線層
- 26 薄膜
- 27 薄膜

【図1】

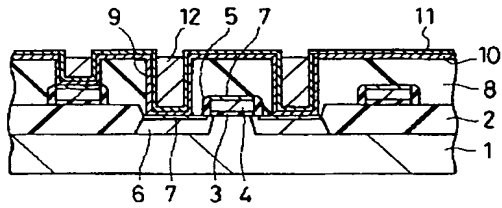


【図2】



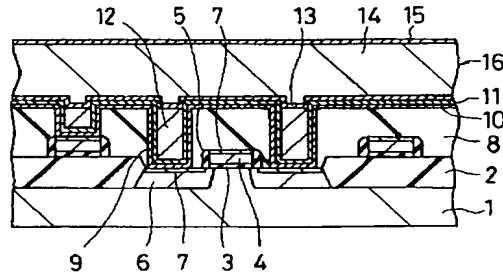
【図3】

図 3



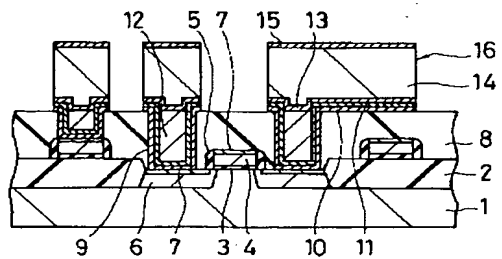
【図4】

図 4



【図5】

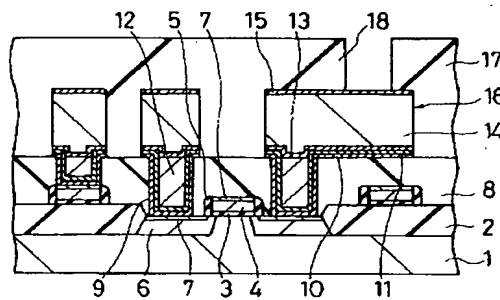
図 5



13: チタンリッチな窒化チタン膜
14: アルミニウム合金層
16: 配線層

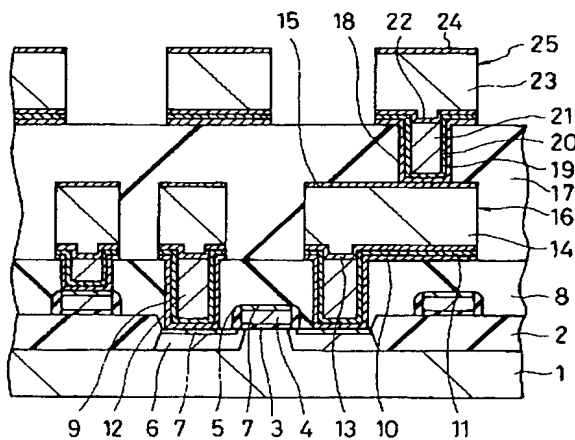
【図6】

図 6



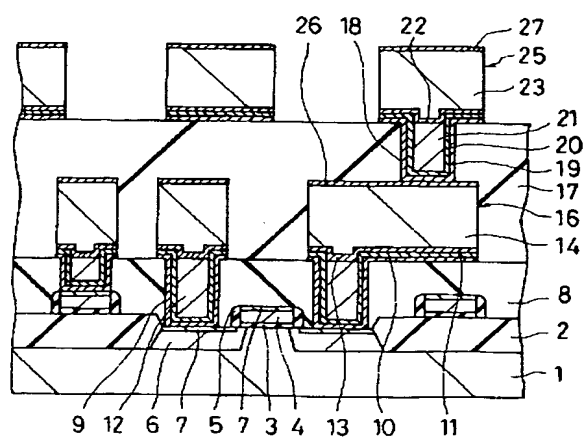
【図7】

図 7



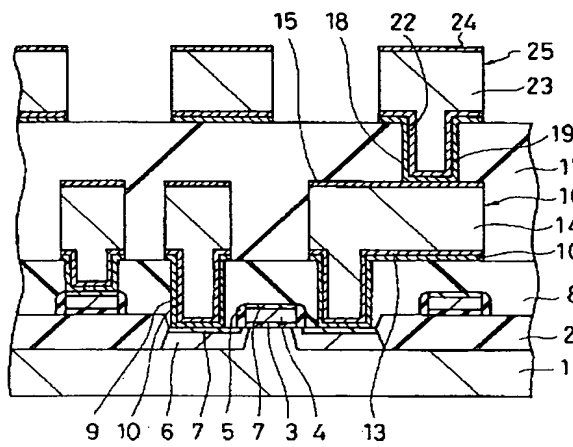
【図8】

図 8



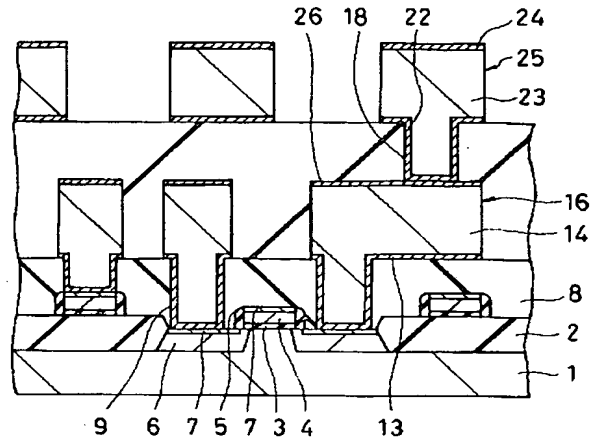
【図9】

図 9



【図10】

図 10



【図11】

図 11

